



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:  
Kazuhiko MATSUNO et al.

Appl. No. 10/642,679

Filed: August 19, 2003

For: CDMA TRANSMITTER, CDMA  
MULTIPLEX TRANSMITTER,  
CDMA RECEIVER AND CDMA  
COMMUNICATION SYSTEM

Art Unit: Not Yet Assigned

Examiner: Not Yet Assigned

Atty. Docket No. 32014-192254

Customer No.

26694

PATENT TRADEMARK OFFICE

**Submission of Certified Copy of Priority Document**

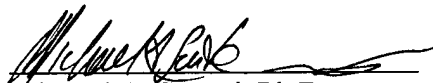
Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of Application No. 2002-237944 filed on August 19, 2002 in Japan, the priority of which is claimed in the present application under the provisions of 35 U.S.C. §119.

Respectfully submitted,

Date: October 8, 2003

  
Michael A. Sartori, Ph.D.  
Registration No. 41,289  
VENABLE  
P.O. Box 34385  
Washington, D.C. 20043-9998

Telephone: (202) 962-4800  
Telefax: (202) 962-8300

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 2 年 8 月 1 9 日

出 願 番 号  
Application Number: 特 願 2 0 0 2 - 2 3 7 9 4 4  
[ST. 10/C]: [ J P 2 0 0 2 - 2 3 7 9 4 4 ]

出 願 人  
Applicant(s): 沖電気工業株式会社

32014-112054  
Kazuhiko MATSUDA  
10/08/2002

2 0 0 3 年 8 月 2 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 KN002531

【提出日】 平成14年 8月19日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H04J 13/00

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 松野 和彦

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 鹿嶋 正幸

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代表者】 篠塚 勝正

【代理人】

【識別番号】 100090620

【弁理士】

【氏名又は名称】 工藤 宣幸

【手数料の表示】

【予納台帳番号】 013664

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006358

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 C D M A 送信装置、C D M A 多重送信装置、C D M A 受信装置及びC D M A 通信システム

【特許請求の範囲】

【請求項 1】 所定周期毎のかつ他チャネルとは異なるタイミングのタイムスロットが自チャネルの同期用タイムスロットに割り当てられている、上記他チャネルの送信信号と同期している送信信号を、自チャネルに割り当てられている拡散符号で拡散変調して拡散信号を出力する拡散手段と、

上記拡散信号における自チャネルの同期用タイムスロットの期間の振幅を、他の期間の拡散信号の振幅より増大させて変調信号として出力するパワー制御手段と

を有することを特徴とする C D M A 送信装置。

【請求項 2】 同期用タイムスロットには同期ビットが挿入されており、上記変調信号における他チャネルの同期用タイムスロットの期間を無信号化する無信号化手段を有することを特徴とする請求項 1 に記載の C D M A 送信装置。

【請求項 3】 上記パワー制御手段が上記無信号化手段を兼ね、他チャネルの同期用タイムスロットの期間の信号入力又は信号出力を停止することにより無信号化を行うことを特徴とする請求項 2 に記載の C D M A 送信装置。

【請求項 4】 上記拡散手段が上記無信号化手段を兼ね、他チャネルの同期用タイムスロットの期間での拡散変調を停止することにより無信号化を行うことを特徴とする請求項 2 に記載の C D M A 送信装置。

【請求項 5】 請求項 1 ～ 4 のいずれかに記載の C D M A 送信装置を複数備えると共に、

上記各 C D M A 送信装置からの変調信号を重畳する多重手段とを備えることを特徴とする C D M A 多重送信装置。

【請求項 6】 上記各 C D M A 送信装置に与える同期用タイムスロットの規定信号を形成するフレーム処理手段を有することを特徴とする請求項 5 に記載の C D M A 多重送信装置。

【請求項 7】 上記フレーム処理手段は、各チャネルの送信信号本体に同期用ビットを追加して、上記各 CDMA 送信装置に与える送信信号に形成することを特徴とする請求項 6 に記載の CDMA 多重送信装置。

【請求項 8】 請求項 1～4 のいずれかに記載の複数の CDMA 送信装置が出力し、伝送路上で自動的に多重された多重信号、又は、請求項 5～7 のいずれかに記載の CDMA 多重送信装置が出力した多重信号と、自チャネルに割り当てられている拡散符号との相関を求め、相関信号を出力する相関手段と、

上記相関信号から出力された相関信号における、自チャネルの同期用タイムスロットに係る正及び又は負に大きい相関値部分を弁別する同期タイミング検出手段と、

上記同期タイミング検出手段の出力に基づき、タイムスロット周期の再生クロックを形成するクロック再生手段と、

上記相関信号又はそれを波形整形した信号を上記再生クロックでサンプリングして、送信信号を再生するゲート手段と

を有することを特徴とする CDMA 受信装置。

【請求項 9】 上記ゲート手段の出力信号から、同期ビットを除去するフレーム除去手段を有することを特徴とする請求項 8 に記載の CDMA 送信装置。

【請求項 10】 請求項 1～4 のいずれかに記載の複数の CDMA 送信装置と、請求項 8 又は 9 の複数の CDMA 受信装置とを有することを特徴とする CDMA 通信システム。

【請求項 11】 請求項 5～7 のいずれかに記載の CDMA 多重送信装置と、請求項 8 又は 9 の複数の CDMA 受信装置とを有することを特徴とする CDMA 通信システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CDMA (Code Division Multiple Access ; 符号分割多元接続) 送信装置、CDMA 多重送信装置、CDMA 受信装置及び CDMA 通信システムに関し、例えば、光 CDM (Code Divi

sion Multiplexing) 技術とPON (Passive Optical Network) を用いた光アクセスシステムに適用し得るものである。

#### 【0002】

##### 【従来の技術】

CDMA方式には、各チャネル毎に同期を行う同期CDMA方式と、各チャネル毎の同期を行わない非同期CDMA方式とがあり、また、同期位置のずれをある程度許容する準同期CDMA方式がある。非同期CDMA方式や準同期CDMA方式を使用すると、符号の長さ（チップ数）に比べて、多重数を多く取ることができない。

#### 【0003】

そのため、多重伝送を行うCDMA通信システムでは、チップ数と多重数とを同じにできる同期CDMA方式が適している。

#### 【0004】

同期CDMA方式では、多重データの復調時に同期信号が必要となり、本来の伝送信号とは別にこの同期信号を送信している。

#### 【0005】

また、無線通信システムなどの一部で使用されている同期CDMA方式においては、各チャネルの同期を行うために、2つの符号（例えば、PN符号と直交符号）を掛合わせて送信を行っており、そのうちの一方の符号（例えば、PN符号）を同期用の信号として用いている。

#### 【0006】

##### 【発明が解決しようとする課題】

しかしながら、同期CDMA方式のCDMA通信システムの場合、受信側において、伝送信号を取り出すための逆拡散器に加え、同期信号を検出するための同期検出器が必要であり、ハードウェア構成の場合には、回路規模が大きくなり、ソフトウェア構成の場合には処理ステップなどが多大になるという課題がある。

#### 【0007】

また、同期用の符号を含めた2つの符号を利用する同期CDMA方式のCDM

A 通信システムの場合にも、受信側において、各符号を検出する 2 個の相関器（例えば P N 符号用及び直交符号用の相関器）が必要となり、ハードウェア構成の場合には、回路規模が大きくなり、ソフトウェア構成の場合には処理ステップなどが多大になるという課題がある。

#### 【 0 0 0 8 】

そのため、受信側での同期検出構成が簡易な又は受信側での同期検出処理が簡単な、C D M A 送信装置、C D M A 受信装置、C D M A 多重送信装置及び C D M A 通信システムが望まれている。

#### 【 0 0 0 9 】

##### 【課題を解決するための手段】

かかる課題を解決するため、第 1 の本発明の C D M A 送信装置は、所定周期毎のかつ他チャネルとは異なるタイミングのタイムスロットが自チャネルの同期用タイムスロットに割り当てられている、上記他チャネルの送信信号と同期している送信信号を、自チャネルに割り当てられている拡散符号で拡散変調して拡散信号を出力する拡散手段と、上記拡散信号における自チャネルの同期用タイムスロットの期間の振幅を、他の期間の拡散信号の振幅より増大させて変調信号として出力するパワー制御手段とを有することを特徴とする。

#### 【 0 0 1 0 】

第 2 の本発明の C D M A 多重送信装置は、第 1 の本発明の C D M A 送信装置を複数備えると共に、その各 C D M A 送信装置からの変調信号を重畳する多重手段とを備えることを特徴とする。

#### 【 0 0 1 1 】

第 3 の本発明の C D M A 受信装置は、複数の第 1 の本発明の C D M A 送信装置が出力し、伝送路上で自動的に多重された多重信号、又は、第 2 の本発明の C D M A 多重送信装置が出力した多重信号と、自チャネルに割り当てられている拡散符号との相関を求め、相関信号を出力する相関手段と、上記相関信号から出力された相関信号における、自チャネルの同期用タイムスロットに係る正及び又は負に大きい相関値部分を弁別する同期タイミング検出手段と、上記同期タイミング検出手段の出力に基づき、タイムスロット周期の再生クロックを形成するクロッ



ク再生手段と、上記相関信号又はそれを波形整形した信号を上記再生クロックでサンプリングして、送信信号を再生するゲート手段とを有することを特徴とする。

#### 【 0 0 1 2 】

第 4 の本発明の C D M A 通信システムは、複数の第 1 の本発明の C D M A 送信装置と、複数の第 3 の本発明の C D M A 受信装置とを有することを特徴とする。

#### 【 0 0 1 3 】

第 5 の本発明の C D M A 通信システムは、第 2 の本発明の C D M A 多重送信装置と、複数の第 3 の本発明の C D M A 受信装置とを有することを特徴とする。

#### 【 0 0 1 4 】

##### 【発明の実施の形態】

##### (A) 第 1 の実施形態

以下、本発明による C D M A 送信装置、C D M A 受信装置、C D M A 多重送信装置及び C D M A 通信システムの第 1 の実施形態を図面を参照しながら詳述する。

#### 【 0 0 1 5 】

##### (A - 1) 第 1 の実施形態の構成

図 1 は、第 1 の実施形態に係る C D M A 通信システムの全体構成を示すと共に、C D M A 多重送信装置の内部構成を示すブロック図である。

#### 【 0 0 1 6 】

図 1 において、第 1 の実施形態の C D M A 通信システム 1 は、N チャンネル対応（多重数 N）の通信システムであり、C D M A 多重送信装置 2 と、分配器 3 と、各チャンネル用の C D M A 受信装置 4 - 1 ~ 4 - N とを有する。

#### 【 0 0 1 7 】

C D M A 多重送信装置 2 は、各チャンネル用の C D M A 送信装置 5 - 1 ~ 5 - N と、加算部（多重部）6 とを有する。

#### 【 0 0 1 8 】

各チャンネル用の C D M A 送信装置 5 - 1 ~ 5 - N はそれぞれ、入力された自チャンネルの送信信号を拡散処理して変調信号を形成するものである。加算部 6 は、

各チャネルの変調信号を加算して多重信号を形成するものである。

#### 【0 0 1 9】

このような多重信号が、CDMA多重送信装置2から出力される。なお、この第1の実施形態は、有線伝送路を適用することを前提としており、そのため、分配器3が設けられている。分配器3は、多重信号をN個に分岐して各チャネル用のCDMA受信装置4-1～4-Nに分配するものである。

#### 【0 0 2 0】

各チャネル用のCDMA受信装置4-1～4-Nはそれぞれ、入力された多重信号を逆拡散処理して、対応するCDMA送信装置5-1～5-Nが自己に送信しようとした送信信号を得るものである。

#### 【0 0 2 1】

なお、CDMA多重送信装置2と、各チャネル用のCDMA受信装置4-1～4-Nとの有線伝送路が光伝送路の場合には、図1や後述する図2では省略しているが、CDMA多重送信装置2の加算部6の後段には電気／光変換器が設けられ、各チャネル用のCDMA受信装置4-1～4-Nの入力段には光／電気変換器が設けられる。

#### 【0 0 2 2】

各チャネル用のCDMA送信装置5-n（nは1～N）は、同様な構成を有し、それぞれ、拡散部7-n及びパワー制御部8-nを有する。パワー制御部8-nは、1入力3出力セレクタ10-n、増幅器11-n及び加算器12-nを有する。

#### 【0 0 2 3】

各チャネル用のCDMA送信装置5-nには、そのチャネルの伝送信号（データ系列）の所定周期毎に同期ビットが挿入された入力信号が入力される。あるタイミングの同期ビットが、第1チャネル（CH1）に関するものであれば、次に挿入されている同期ビットが、第2チャネル（CH2）に関するものであり、その次に挿入されている同期ビットが、第3チャネル（CH3）に関するものであり、以下、同様である（図3（A）参照）。従って、同一チャネルに係る同期ビットは、N個毎に表れる。また、全てのチャネル（CH1～CHN）について、

第  $n$  チャンネルの同期ビットが表れるタイミングは同じになっている。

#### 【0 0 2 4】

C D M A 送信装置  $5 - n$  における拡散部  $7 - n$  は、上述のような入力信号に対し、自チャンネルに割り当てられている拡散符号を用いて拡散処理するものである。拡散部  $7 - n$  としては、例えば、イクスクルーシブオア回路を適用でき、入力信号が「1」のタイムスロットでは拡散符号をそのまま出力し、入力信号が「0」のタイムスロットでは拡散符号を反転して出力する。なお、入力信号における 1 ビット期間を「タイムスロット」と呼んでおり、拡散符号における 1 符号期間を「チップ期間」と呼ぶこととしている。

#### 【0 0 2 5】

ここで、拡散符号としては、例えば、自己相関特性及び相互相関特性が共に良い、直交 P N 符号などの符号を適用する。拡散符号は、例えば、入力信号の 1 タイムスロット期間を、1 6 チップ期間又は 3 2 チップ期間とするものであり、入力信号における各タイムスロット毎に繰り返し適用されるものである。

#### 【0 0 2 6】

拡散部  $7 - n$  から出力された拡散信号は、1 入力 3 出力セクタ  $1 0 - n$  に入力される。セクタ  $1 0 - n$  の第 1 の出力端子は加算器  $1 2 - n$  に接続され、セクタ  $1 0 - n$  の第 2 の出力端子は開放されており、セクタ  $1 0 - n$  の第 3 の出力端子は増幅器  $1 1 - n$  に接続されている。セクタ  $1 0 - n$  は、セクタ制御信号（図示せず）に基づき、上述した同期ビット期間以外の期間では第 1 の出力端子を選択し、自チャンネルの同期ビット期間では第 3 の出力端子を選択し、他チャンネルの同期ビット期間では第 2 の出力端子を選択する。

#### 【0 0 2 7】

増幅器  $1 1 - n$  は、セクタ  $1 0 - n$  の第 3 の出力端子から出力された信号、言い換えると、そのチャンネルの同期ビット期間の拡散信号を、所定のゲインで増幅して加算器  $1 2 - n$  に与えるものである。

#### 【0 0 2 8】

加算器  $1 2 - n$  は、セクタ  $1 0 - n$  の第 1 の出力端子から出力された信号と、増幅器  $1 1 - n$  から出力された信号とを加算し、その加算信号を、そのチャネ

ルの変調信号として、上述した加算部（多重部）6に出力するものである。

#### 【0029】

上述したように、セクタ10-nは、同期ビット期間以外の期間（送信信号本体の期間）では第1の出力端子を選択し、自チャネルの同期ビット期間では第3の出力端子を選択しているので、加算器12-nは信号を時分割多重していることになる。また、セクタ10-nは、他チャネルの同期ビット期間では開放されている第2の出力端子を選択しているので、この期間では、加算器12-nからは何らの信号を出力されない。

#### 【0030】

以上のように、パワー制御部8-nは、拡散部7-nからの拡散信号が、自チャネルの同期ビット期間にあるときには、パワーを増大させ、他チャネルの同期ビット期間にあるときには出力を停止させ、送信信号本体の期間ではパワーを増大させることなく、出力させるパワー制御を行っているものである。

#### 【0031】

図2は、第nチャネルのCDMA受信装置4-nの内部構成を示すブロック図である。なお、各チャネルのCDMA受信装置4-1～4-Nの内部構成は同様である。

#### 【0032】

図2において、CDMA受信装置4-nは、マッチドフィルタ20-n、第1のリミッタ21-n、ゲート回路22-n、第2のリミッタ23-n及びクロック再生部24-nを有する。

#### 【0033】

CDMA多重送信装置2から送出され、分配器3によって分岐された多重信号が、当該CDMA受信装置4-nに到達し、マッチドフィルタ20-nに入力される。

#### 【0034】

マッチドフィルタ20-nは、入力された多重信号に対して、自チャネルに割り当てられている拡散符号（同一チャネルの上述した拡散部7-nが使用しているものと同一）を用いて逆拡散処理を行って相関信号を得るものである。

**【 0 0 3 5 】**

ここで、相関信号は、送信側が送信しようとした信号が「1」のタイムスロット期間の位相に拡散符号の位相が合致したときには大きな正相関値をとり、送信側が送信しようとした信号が「0」のタイムスロット期間の位相に拡散符号の位相が合致したときには大きな負相関値（相関が負相関ということであり、相関信号のダイナミックレンジの取り方によっては正值のこともある）をとる。相関信号が大きな値をとるのは、概ね1チップ期間である。また、上述のように、自チャネルの同期ビット期間に係る拡散信号の送信パワーは、他の期間よりかなり大きくされているので、その期間に係る1チップ期間の相関信号も、一段と大きな正相関値をとる。また、大きな正相関値部分や大きな負相関値部分を除けば、拡散符号とのマッチングがとれないので、相関信号は、相関はないレベルの値をとる。

**【 0 0 3 6 】**

マッチドフィルタ  $20-n$  からの相関信号は、第1のリミッタ  $21-n$  及び第2のリミッタ  $23-n$  に与えられる。

**【 0 0 3 7 】**

第1のリミッタ  $21-n$  及び第2のリミッタ  $23-n$  はそれぞれ、マッチドフィルタ  $20-n$  からの相関信号における所定レベル（閾値）以上の波形を取り出すものであり、第2のリミッタ  $23-n$  の所定レベルは、第1のリミッタ  $21-n$  の所定レベルより大きくなっている。

**【 0 0 3 8 】**

第2のリミッタ  $23-n$  は、自チャネルの同期ビット期間に関係して現れる、かなり大きな正相関値部分だけを相関信号から取り出すためにリミット処理を行うものであり、言い換えると、同期ビットの情報を検出して（取り出して）いるものであり、その出力信号は、クロック再生部  $24-n$  に与えられる。

**【 0 0 3 9 】**

クロック再生部  $24-n$  は、第2のリミッタ  $23-n$  の出力信号から、タイムスロット周期で、しかも、相関信号において、大きな正相関値（「1」に対応）又は大きな負相関値（「0」に対応）をとる期間（期間の長さは概ね1チップ期

間)に同期したクロックを再生してゲート回路22-nにゲート制御信号として与えるものである。すなわち、クロック再生部24-nは、自チャネルの同期ビット周期の第2のリミッタ23-nの出力信号を、 $k+1$  ( $k$ は相前後する同期ビット間に存在する送信信号のビット(タイムスロット)数である)倍だけ周波数通倍してクロックを再生する。クロック再生部24-nには、例えば、 $k+1$ 倍だけ周波数通倍するPLL回路構成を適用することができる。

#### 【0040】

第1のリミッタ21-nは、マッチドフィルタ20-nからの相関信号の大きな正相関値部分などをパルス状に波形整形し、送信信号本体の情報を取り出すものである。なお、第1のリミッタ21-nに代え、スライサを適用して、相関信号における大きな負相関値部分もパルス状に波形整形するようにしても良い。第1のリミッタ21-nからの出力信号がゲート回路22-nに与えられる。

#### 【0041】

ゲート回路22-nは、第1のリミッタ21-nからの出力信号を、クロック再生部24-nからのクロックに基づいて、通過処理し(サンプリングし)、第1のリミッタ21-nからの出力信号における大きな正相関値部分及び負相関値部分の値をタイムスロット期間全体に引き延ばし、「1」及び「0」でなるデータ系列に変換するものである。ゲート回路22-nとしては、Dフリップフロップを適用できる。

#### 【0042】

ゲート回路22-nからの出力信号には、同期ビット期間における論理値が含まれているが、これを適宜除去することにより、同一チャネルのCDMA送信装置5-nが送信しようとする信号を再生することができる。

#### 【0043】

##### (A-2) 第1の実施形態の動作

次に、第1の実施形態のCDMA通信システムの動作を、図3及び図4の各部タイミングチャートをも参照しながら説明する。ここで、図3は、CDMA多重送信装置2の各部タイミングチャートであり、図4は、CDMA受信装置4-nの各部タイミングチャートである。

## 【0044】

各チャネルのCDMA送信装置5-1～5-Nには、図3（A）に第1チャネルCH1について示すように、送信信号本体に対し、所定周期毎に、同期ビットs1、s2、…が挿入された送信信号が与えられる。図3（A）において、同期ビットs1が第1チャネルCH1の同期ビットを表し、同期ビットs2～SNが他チャネルの同期ビットを表している。また、図3は、同期ビットs1～SNが論理「1」の場合を示している。同期ビットs1～SNは、全てのチャネルの送信信号で同期している。

## 【0045】

各チャネルの拡散部7-nにおいては、入力された送信信号を、図3（B）に第1チャネルCH1について示すような、そのチャネルに割り当てられている拡散符号列を用いて拡散変調して拡散信号を出力する。図3（C）には、図3（A）に示す送信信号を図3（B）に示す拡散符号列で拡散変調して得た、第1チャネルCH1についての拡散信号を示している。

## 【0046】

拡散信号は、パワー制御部8-nに与えられ、このパワー制御部8-nによって、拡散信号におけるそのチャネルの同期ビット期間が大きく増幅され、他チャネルの同期ビット期間は無信号化され、そのチャネルの変調信号として出力される。図3（D）は、第1チャネルCH1についての変調信号を示している。なお、パワー制御部8-n内の動作の説明は省略する。

## 【0047】

また、図3（E1）～（EN）は、各チャネルCH1～CHNの変調信号を示しており、図3（D）に比較して時間軸を縮小している。なお、各変調信号は、当然に、自チャネルの同期ビット期間や送信信号本体の期間で拡散符号に応じた論理の変化があるが、図3（E1）～（EN）においては、その期間での論理の変化を省略して示している。むしろ、図3（E1）～（EN）は、主として、適用されているパワー面で示している。

## 【0048】

各チャネルの変調信号は加算部（多重部）6に与えられ、この加算部（多重部

） 6 によって重畳（多重）され、多重信号として、CDMA 多重送信装置 2 から出力される。図 3（F）は、多重信号を示している。

#### 【 0 0 4 9 】

各チャネルからの変調信号は、他チャネルの同期ビット期間では無信号化されているので、多重信号における各同期ビット期間は、各チャネルの同期ビットをそのチャネルの拡散符号で拡散変調したものが順次表れ、言い換えると、多重信号における各同期ビット期間にはそれぞれ、ある 1 チャネルの同期情報だけとなっている（重畳されていない）。

#### 【 0 0 5 0 】

このような多重信号は、分配器 3 によって N 分岐され、全てのチャネルの CDMA 受信装置 4 - 1 ~ 4 - N に到達する。

#### 【 0 0 5 1 】

図 4（A）は、図 3（F）に示す多重信号を書き直したものであり、図 4（B）は、図 4（A）に示す多重信号をその時間軸を伸長して示したものである。

#### 【 0 0 5 2 】

図 4（A）及び図 4（B）に示す多重信号が到来した、各チャネルの CDMA 受信装置 4 - n においては、初段のマッチドフィルタ 2 0 - n によって、受信した多重信号に対するそのチャネルに割り当てられている拡散符号系列との逆拡散（相関処理）がなされ、相関信号が出力される。なお、図 4（C 1）は、第 1 チャネル C H 1 の相関信号を示し、図 4（C 2）は、第 1 チャネル C H 1 の相関信号を示している。なお、図 4（C 1）及び図 4（C 2）において、ハッチ部分は無相関部分（値の不定部分）を示している。

#### 【 0 0 5 3 】

第 1 チャネル C H 1 の拡散符号と多重信号とのマッチングにおいては、第 1 チャネル C H 1 の同期ビット期間 s 1 でマッチングがとれ、しかも、その期間 s 1 の信号パワー（振幅）が大きいので、非常に大きな正相関値部分が生じ、伝送信号本体の各タイムスロット期間ではそれぞれ、拡散符号とマッチする期間が生じるが、信号パワーが通常レベルであり、しかも、他チャネルの信号も多重されているので、第 1 チャネル C H 1 の同期ビット期間 s 1 の相関より弱い、正相関値



部分又は負相関値部分が生じ、他チャネルの同期ビット期間  $s_2 \sim s_N$  は、第1チャネル  $CH_1$  の拡散符号の成分を含まないので、無相関値となる。他のチャネルについても同様である。このような相関信号が第1及び第2のリミッタ  $21-n$  及び  $23-n$  に与えられる。

#### 【0054】

なお、正相関値部分又は負相関値部分の時間幅は、ほぼ1チップ期間であり、すなわち、1タイムスロット期間（＝拡散符号の1周期）／1タイムスロット期間当たりのチップ数（＝拡散符号のチップ長）である。

#### 【0055】

第2のリミッタ  $23-n$  においては、そのリミッタに係る所定レベル（閾値）以上の相関信号波形が取り出される。この取り出された後の信号は、図4（D1）に第1チャネル  $CH_1$  について示す、図4（D2）に第2チャネル  $CH_2$  について示すように、そのチャネルに係る同期ビット期間での大きな正相関値部分だけを切り出したものとなっている。第2のリミッタ  $23-n$  の出力から、クロック再生部  $24-n$  によって、クロックが再生され、ゲート回路  $22-n$  に与えられる。図4（E1）は、第1チャネル  $CH_1$  について得られたクロックを示し、図4（E2）は、第2チャネル  $CH_2$  について得られたクロックを示している。

#### 【0056】

一方、第1のリミッタ  $21-n$  においては、リミット処理により、マッチドフィルタ  $20-n$  からの相関信号から、送信信号本体の情報を取り出されてゲート回路  $22-n$  に与えられ、上述した再生クロックによってゲート（サンプリング）され、タイムスロット期間毎に論理「1」又は「0」をとるデータ系列に変換されて出力される。

#### 【0057】

図4（F1）は、第1チャネル  $CH_1$  に関する第1のリミッタ  $21-1$  からの出力を示し、図4（F2）は、第2チャネル  $CH_2$  に関する第1のリミッタ  $21-2$  からの出力を示している。また、図4（G1）は、第1チャネル  $CH_1$  に関するゲート回路  $22-1$  からの出力を示し、図4（G2）は、第2チャネル  $CH_2$  に関するゲート回路  $22-2$  からの出力を示している。

**【 0 0 5 8 】**

ゲート回路 2 2 - n からの出力信号には、周期的な同期ビットが含まれているので、後段の回路で除去する必要がある。

**【 0 0 5 9 】**

なお、C D M A 受信装置 4 - 1 ~ 4 - N は、受信した同期信号に同期させて、C D M A 多重送信装置 2 へのデータ送信を行うことにより、逆方向への送信も、各 C D M A 受信装置 4 - 1 ~ 4 - N で同期させて行うことができる。

**【 0 0 6 0 】****(A - 3) 第 1 の実施形態の効果**

以上のように、上記第 1 の実施形態によれば、各 C D M A 送信装置が自チャネルの同期ビット期間での拡散信号のパワーを増大させて送信させ、各 C D M A 受信装置でのその期間での相関信号レベルを大きくするようにしたので、同期専用 に適用するマッチドフィルタなどを不要とでき、構成を簡易なものとする ことができる。また、D S P などを適用してソフトウェア処理するとしても処理を簡単なものとする ことができる。

**【 0 0 6 1 】**

また、第 2 のリミッタは、同期検出回路を構成しているものとなるが、同期検出用の要素はこのリミッタだけであり、ハードウェア構成の簡易化及び又はソフトウェア処理の簡単化を実現できている。

**【 0 0 6 2 】****(B) 第 2 の実施形態**

次に、本発明による C D M A 送信装置、C D M A 受信装置、C D M A 多重送信装置及び C D M A 通信システムの第 2 の実施形態を、第 1 の実施形態との相違を中心に、図面を参照しながら説明する。

**【 0 0 6 3 】****(B - 1) 第 2 の実施形態の構成**

図 5 は、第 2 の実施形態の C D M A 多重送信装置の内部構成を示すブロック図であり、図 6 は、そのフレーム処理回路の内部構成を示すブロック図である。

**【 0 0 6 4 】**

第 2 の実施形態の C D M A 多重送信装置 2 A は、図 5 に示すように、第 1 の実施形態の C D M A 多重送信装置 2 の構成にさらに、図 6 に示す詳細構成を有するフレーム処理回路 9 を有するものである。

#### 【 0 0 6 5 】

第 1 の実施形態では、C D M A 多重送信装置への入力信号の形成方法や、セレクト 1 0 - n へのセレクト制御信号の形成方法が任意であるとして説明を省略していたが、第 2 の実施形態では、それらの形成を実行するフレーム処理回路 9 を有する。なお、第 1 の実施形態においては、例えば、各チャネルの送信処理系が、G P S 受信機などの高精度の時計を有し、各々独立して、同期ビットの挿入処理を行っても良いものである。

#### 【 0 0 6 6 】

フレーム処理回路 9 は、各チャネルの C D M A 送信装置 5 - 1 ~ 5 - N の共通の入力段に設けられているものである。フレーム処理回路 9 は、各チャネルの送信しようとするデータ信号のそれぞれに対する同期ビットの挿入処理を行って送信信号を形成して、各チャネルの C D M A 送信装置 5 - 1 ~ 5 - N に入力させると共に、各チャネルの C D M A 送信装置 5 - 1 ~ 5 - N のセレクト 1 0 - 1 ~ 1 0 - N に与えるセレクト制御信号を形成してセレクト 1 0 - 1 ~ 1 0 - N に与えるものである。

#### 【 0 0 6 7 】

なお、この明細書においては、同期ビットが挿入されるデータ信号の周期をフレームと呼んでいる。

#### 【 0 0 6 8 】

フレーム処理回路 9 は、各チャネル対応のバッファメモリ部 3 0 - 1 ~ 3 0 - N、同期信号クロック発生回路 3 1 及びセレクト制御信号発生回路 3 2 を有する。

#### 【 0 0 6 9 】

各バッファメモリ部 3 0 - 1 ~ 3 0 - N は、それぞれいわゆる F I F O メモリを中心として構成されたものであり、自チャネルのデータ信号を全チャネルに共通な書込みクロックに基づいて書き込むと共に、同期信号クロック発生回路 3 1

からの読出しクロックに基づいて読み出し、また、同期信号クロック発生回路 3 1 からの同期信号クロックに基づいて、読出しデータ系列に、所定周期（同期ビット周期）毎に同期ビットを挿入して出力するものである。

#### 【0 0 7 0】

以下では、データ信号に対する同期ビットの挿入は、データ信号の時間圧縮を伴うように説明するが、バッファメモリ部 3 0 - 1 ~ 3 0 - N の容量などによっては、データ信号を時間圧縮しないで挿入するようにしても良い。

#### 【0 0 7 1】

同期信号クロック発生回路 3 1 は、上述した読出しクロック及び同期信号クロックを、書込みクロックに同期して形成するものである。例えば、データ信号の M ビット毎に同期ビットを挿入する場合であれば、読出しクロックとして、書込みクロックの  $(M+1)/M$  倍の速度を有するものを形成し、また、M+1 個の読出しクロック毎に、1 個の読出しクロック期間と同一のパルス幅を有する同期信号クロックを形成する。同期信号クロックは、全チャネルのバッファメモリ部 3 0 - 1 ~ 3 0 - N に与えられるだけでなく、セレクト制御信号発生回路 3 2 にも与えられる。

#### 【0 0 7 2】

セレクト制御信号発生回路 3 2 は、同期信号クロックに基づいて、各チャネルのセレクト 1 0 - 1 ~ 1 0 - N に与えるセレクト制御信号を発生するものである。第 1 チャネル C H 1 ~ 第 N チャネル C H N のセレクト制御信号は、同期信号クロック以外の期間では、セレクト 1 0 - 1 ~ 1 0 - N の第 1 の出力端子を選択させるものである。ある同期信号クロックに基づき、第 1 チャネル C H 1 のセレクト制御信号がセレクト 1 0 - 1 の第 3 の出力端子（増幅器への端子）を選択させるタイミングでは、第 2 チャネル C H 2 ~ 第 N チャネル C H N のセレクト制御信号がセレクト 1 0 - 2 ~ 1 0 - N の第 2 の出力端子（無信号化端子）を選択させるようにし、次の同期信号クロックの発生時には、第 2 チャネル C H 2 のセレクト制御信号がセレクト 1 0 - 2 の第 3 の出力端子（増幅器への端子）を選択させ、第 1 チャネル C H 1、第 3 チャネル C H 3 ~ 第 N チャネル C H N のセレクト制御信号がセレクト 1 0 - 1、1 0 - 3 ~ 1 0 - N の第 2 の出力端子（無信号化端

子)を選択させるようにし、以下、同様に、同期信号クロックの発生毎に、第3の出力端子(増幅器への端子)を選択させる1個のセクタ制御信号を巡回変化させる。

#### 【0073】

図7は、第2の実施形態のCDMA受信装置の内部構成を示すブロック図であり、図8は、そのフレーム除去回路の内部構成を示すブロック図である。

#### 【0074】

第2の実施形態の各チャネルのCDMA受信装置4-nAは、図7に示すように、第1の実施形態のCDMA受信装置4-nの構成に加え、フレーム除去回路25-nを有する。

#### 【0075】

フレーム除去回路25-nは、図8に示すように、バッファメモリ部40、同期信号復元回路41及び読出しクロック生成回路42を有する。

#### 【0076】

バッファメモリ部40-nは、ゲート回路22-nから出力された信号(復調信号)をクロック再生部24-nから出力された再生クロックで書き込むと共に、読出しクロック生成回路42-nから出力されたそれより低速の読出しクロックで読出して速度変換すると共に、同期信号復元回路41-nからの復元同期信号に基づいて、復調信号が同期ビット期間の場合のときに書込みを停止して、自バッファメモリ部40-nからの出力信号(受信信号)には同期ビットが存在しなくするものである。

#### 【0077】

同期信号復元回路41-nは、第2のリミッタ23-nからの出力信号(同期ビットの検出信号)から、復調信号における同期ビット期間を示す同期信号を復元し、バッファメモリ部40-nに与えるものである。

#### 【0078】

読出しクロック生成回路42-nは、クロック再生部24-nから出力された再生クロック(書込みクロック)及び同期信号復元回路41-nから出力された同期信号に基づいて、バッファメモリ部40-nに与える読出しクロックを形成

するものである。例えば、復調信号が、 $M+1$  ビット毎に 1 個の同期ビットが挿入されたものである場合であれば、読出しクロックとして、書込みクロックの  $M/(M+1)$  倍の速度を有するものを形成する。なお、バッファメモリ部 40-n の容量によっては、書込みクロック及び読出しクロックの速度が同じであっても、復調信号から同期ビットを除去することができる。

#### 【0079】

なお、バッファメモリ部 40-n から出力された信号（受信信号）は、同期ビットが除去された単なるデータ系列であって、フレームという切れ目がないものとなる。

#### 【0080】

上述したフレーム処理回路 9 や各チャネルのフレーム除去回路 25-1 ~ 25-N 以外の構成は、第 1 の実施形態と同様であり、その機能説明は省略する。

#### 【0081】

(B-2) 第 2 の実施形態の動作

次に、第 2 の実施形態において追加されたフレーム処理回路 9 やフレーム除去回路 25-n の動作を、この順で説明する。

#### 【0082】

図 9 は、フレーム処理回路 9 におけるあるバッファメモリ部 30-n の処理イメージを示すタイミングチャートである。

#### 【0083】

バッファメモリ部 30-n に入力されたデータ信号の形式は任意であっても良く、図 9 (A) に示すような複数のパケット p k t. 1 ~ p k t. 4 が間欠的、非連続に生じるものでも良い。

#### 【0084】

このようなデータ信号が、図 9 (D) に示す同期信号クロックに基づいて、図 9 (B) に示すような所定ビット数（フレーム）毎に分割されたと同様に、バッファメモリ部 30-n で処理される。バッファメモリ部 30-n では、書込みクロック及び読出しクロックの速度差に応じ、図 9 (C) に示すように、バッファメモリ部 30-n から出力される送信信号におけるデータ信号部分（フレーム）

は当初のものに比較して時間圧縮され、この時間圧縮によってできた時間部分に、同期ビット（論理「1」）が挿入される。同期ビットの挿入位置も、図9（D）に示す同期信号クロックに基づいて定まる。

#### 【0085】

図9では、ある1チャンネルについて示したが、各チャンネルのデータ信号に対しても、フレーム処理回路9は同様の処理を行う。

#### 【0086】

図10（A）は、同期信号クロックを示し、図10（B1）～図10（BN）はそれぞれ、各チャンネルCH1～CHNのバッファメモリ部30-1～30-Nから出力された送信信号を示している。

#### 【0087】

図10（C1）～図10（CN）はそれぞれ、図10（A）に示す同期信号クロックに基づいて、セクタ制御信号発生回路32が形成した、各チャンネルCH1～CHNのセクタ制御信号を示している。図10（C1）～図10（CN）に示すセクタ制御信号において、「s」は、セクタ10-1～10-Nへの入力信号を増幅器11-1～11-Nに与えることを指示する（第3の出力端子を指示する）同期ビットセレクト信号であり、「n」は、セクタ10-1～10-Nへの入力信号を無信号化することを指示する（第2の出力端子を指示する）無信号セレクト信号であり、「d」は、セクタ10-1～10-Nへの入力信号を直接加算器12-1～12-Nに与えることを指示する（第1の出力端子を指示する）データ信号セレクト信号である。

#### 【0088】

同期ビットセレクト信号sの位置は、全てのチャンネルCH1～CHNのセクタ制御信号で巡回的に変化しており、これにより、第1の実施形態で説明したような多重信号を形成することができるようになっている。

#### 【0089】

図11は、第1チャンネルCH1のフレーム除去回路25-1における処理イメージを示すタイミングチャートである。他のチャンネルCH2～CHNのフレーム除去回路25-2～25-Nも同様な処理を行う。

**【 0 0 9 0 】**

フレーム除去回路 2 5 - 1 には、図 1 1 (A) に示す第 2 のリミッタ 2 3 - 1 の出力信号と、図示は省略しているが、クロック再生部 2 4 - n が出力した再生クロックと、図 1 1 (C) に示すゲート回路 2 2 - n が出力した復調信号とが入力される。

**【 0 0 9 1 】**

フレーム除去回路 2 5 - 1 においては、同期信号復元回路 4 1 - 1 によって、第 2 のリミッタ 2 3 - 1 の出力信号から、それに同期した、各同期ビット期間で有意な論理レベルをとる、図 1 1 (B) に示す復元同期信号が形成される。この復元同期信号は、図 1 1 (C) に示す復調信号における同期ビット期間を規定するものとなっている。

**【 0 0 9 2 】**

フレーム除去回路 2 5 - 1 のバッファメモリ部 4 0 - n は、図示しないクロック再生部 2 4 - n が出力した再生クロックを書き込むと共に、読出しクロック生成回路 4 2 - 1 が形成した図示しない読出しクロックで読み出すことを通じて、復調信号におけるデータ信号を時間軸伸長し、また、復調信号における同期ビットを除去する。同期ビットの除去は、書込みを実行しないことで除去するものであっても良く、書込みは行うが読出しを実行しないことで除去するものであっても良い。

**【 0 0 9 3 】**

図 1 1 は、連続しているデータ信号を受信する場合を示したが、図 1 2 に示すような、複数のパケット p k t . 1 ~ p k t . 4 が間欠的、非連続に生じているようなデータ信号を受信する場合にも、フレーム除去回路 2 5 - n は同様に動作する。

**【 0 0 9 4 】****(B-3) 第 2 の実施形態の効果**

第 2 の実施形態によっても、第 1 の実施形態と同様な効果を奏することができる。第 2 の実施形態によれば、フレーム処理回路及びフレーム除去回路を設けているので、フレーム概念を導入した処理を行うことができる。



**【 0 0 9 5 】****(C) 他の実施形態**

上記各実施形態の説明においても種々変形実施形態に言及したが、さらに、以下に例示するような変形実施形態を挙げることができる。

**【 0 0 9 6 】**

上記各実施形態においては、CDMA送信装置 5 - n からの変調信号における他チャネルの同期ビット期間の無信号化をセクタ 1 0 - n の端子選択で行うものを示したが、他チャネルの同期ビット期間では、拡散部 7 - n への拡散符号列の供給を停止することで行うようにしても良い。

**【 0 0 9 7 】**

また、上記各実施形態においては、CDMA送信装置が、自チャネルの同期ビット期間での拡散信号と、送信信号本体（データ信号部分）の拡散信号との振幅の相違を、同期ビット期間での拡散信号を増幅することで形成するものを示したが、他の方法によって形成するようにしても良い。例えば、送信信号本体（データ信号部分）の拡散信号に対する減衰処理で形成するようにしても良く、また、同期ビット期間での拡散信号と送信信号本体（データ信号部分）の拡散信号とを共に増幅するが、その利得の相違で形成するようにしても良い。

**【 0 0 9 8 】**

さらに、上記各実施形態においては、CDMA送信装置 5 - n のパワー制御部 8 - n が入力段にセクタ 1 0 - n を備えるものを示したが、図 1 3 に示すように出力段側にセクタを備える構成であっても良い。

**【 0 0 9 9 】**

さらにまた、上記各実施形態においては、CDMA受信装置 4 - n が第 1 のリミッタ 2 1 - n を有するものを示したが、ゲート回路 2 2 - n のダイナミックレンジによっては、第 1 のリミッタ 2 1 - n を省略するようにしても良い。

**【 0 1 0 0 】**

また、上記各実施形態においては、CDMA送信装置 5 - n のパワー制御部 8 - n が、他チャネルの同期ビット期間の拡散信号を無信号化するものを示したが、無信号化することなく、変調信号に含めるようにしても良い。この場合、自チ

チャネルの同期ビット期間での拡散信号と、送信信号本体（データ信号部分）及び他チャネルの同期ビット期間の拡散信号との振幅の相違を、上記実施形態以上に大きくとることが好ましい。

#### 【0 1 0 1】

さらに、上記各実施形態においては、同期ビットを送信信号に盛り込むものを示したが、同期ビットを省略し、送信信号に関し同期検出に利用する期間だけを、上記各実施形態の自チャネルの同期ビット期間のように定め（この期間には送信信号本体を構成するビット値が挿入されている）、その期間での拡散信号の振幅を、他の期間の拡散信号の振幅より十分に大きくして、同期タイミングを受信側に伝えるようにしても良い。この場合も、マッチドフィルタから、その期間の相関値が他の期間より十分に大きい相関信号が出力されるので、同期タイミングを捉えることができる。この場合、その同期に用いる期間の送信信号本体の論理値によって、相関信号が、大きな正の相関値をとることもあれば、大きな負の相関値をとることもあるので、第2のリミッタとしては、正負双方向に対応したものを適用することを要する。

#### 【0 1 0 2】

上記各実施形態においては、拡散処理が1段のものを示したが、拡散処理を2段以上行うものに対しても、本発明を適用することができる。この場合、いずれの拡散符号も、同期に利用する必要はない。

#### 【0 1 0 3】

また、上記各実施形態においては、本発明を、有線伝送路のCDMA通信システムに適用した場合を示したが、無線伝送路のCDMA通信システムに本発明を適用することができる。この場合において、各チャネルのCDMA送信装置が離間して設けられ、無線回線上で多重されるものであっても良い。但し、各チャネルのCDMA送信装置がそれぞれ、高精度の絶対時計を有して同期送信を行うことを要する。

#### 【0 1 0 4】

#### 【発明の効果】

以上のように、本発明によれば、受信側での同期検出構成が簡易な又は受信側

での同期検出処理が簡単な、C D M A 送信装置、C D M A 受信装置、C D M A 多重送信装置及びC D M A 通信システムを提供できる。

【図面の簡単な説明】

【図 1】

第 1 の実施形態に係る C D M A 通信システムの全体構成と、C D M A 多重送信装置の内部構成を示すブロック図である。

【図 2】

第 1 の実施形態の C D M A 受信装置の内部構成を示すブロック図である。

【図 3】

第 1 の実施形態の C D M A 多重送信装置の各部タイミングチャートである。

【図 4】

第 1 の実施形態の C D M A 受信装置の各部タイミングチャートである。

【図 5】

第 2 の実施形態の C D M A 多重送信装置の内部構成を示すブロック図である。

【図 6】

第 2 の実施形態のフレーム処理回路の内部構成を示すブロック図である。

【図 7】

第 2 の実施形態の C D M A 受信装置の内部構成を示すブロック図である。

【図 8】

第 2 の実施形態のフレーム除去回路の内部構成を示すブロック図である。

【図 9】

第 2 の実施形態のフレーム処理回路の各部タイミングチャート（1）である。

【図 1 0】

第 2 の実施形態のフレーム処理回路の各部タイミングチャート（2）である。

【図 1 1】

第 2 の実施形態のフレーム除去回路の各部タイミングチャート（1）である。

【図 1 2】

第 2 の実施形態のフレーム除去回路の各部タイミングチャート（2）である。

【図 1 3】

パワー制御部の他の構成例を示すブロック図である。

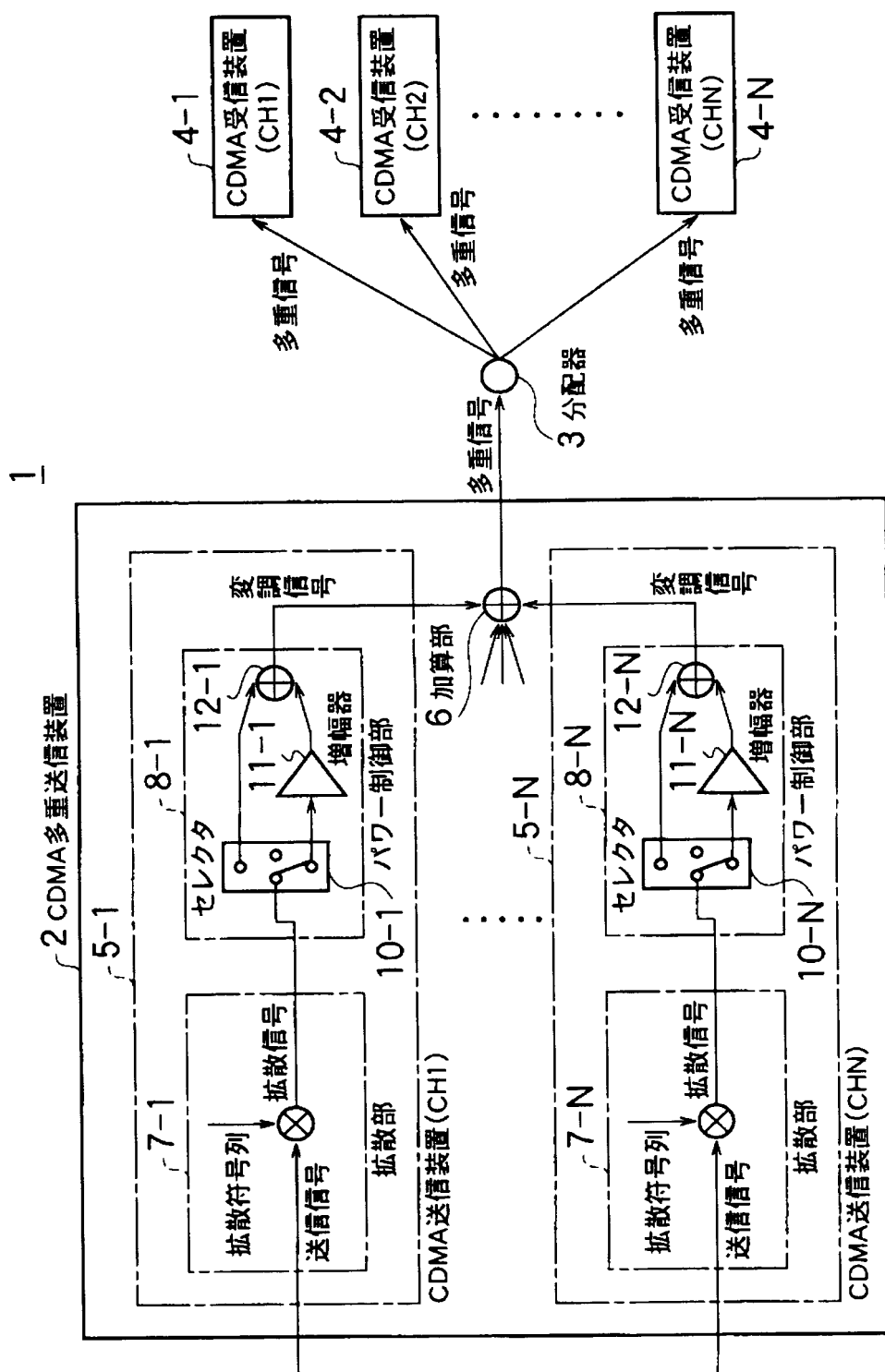
【符号の説明】

1…CDMA通信システム1、2…CDMA多重送信装置、3…分配器、4-1~4-N…CDMA受信装置、5-1~5-N…CDMA送信装置、6…加算部（多重部）、7-1~7-N…拡散部、8-1~8-N…パワー制御部、9…フレーム処理回路、10-1~10-N…セクタ、11-1~11-N…増幅器、12-1~12-N…加算器、マッチドフィルタ20-1~20-N…マッチドフィルタ、21-1~21-N…第1のリミッタ、22-1~22-N…ゲート回路、23-1~23-N…第2のリミッタ、24-1~24-N…クロック再生部、25-1~25-N…フレーム除去回路、30-1~30-N…バッファメモリ部、31…同期信号クロック発生回路、32…セクタ制御信号発生回路、40-1~40-N…バッファメモリ部、41-1~41-N…同期信号復元回路、42-1~42-N…読出しクロック生成回路。

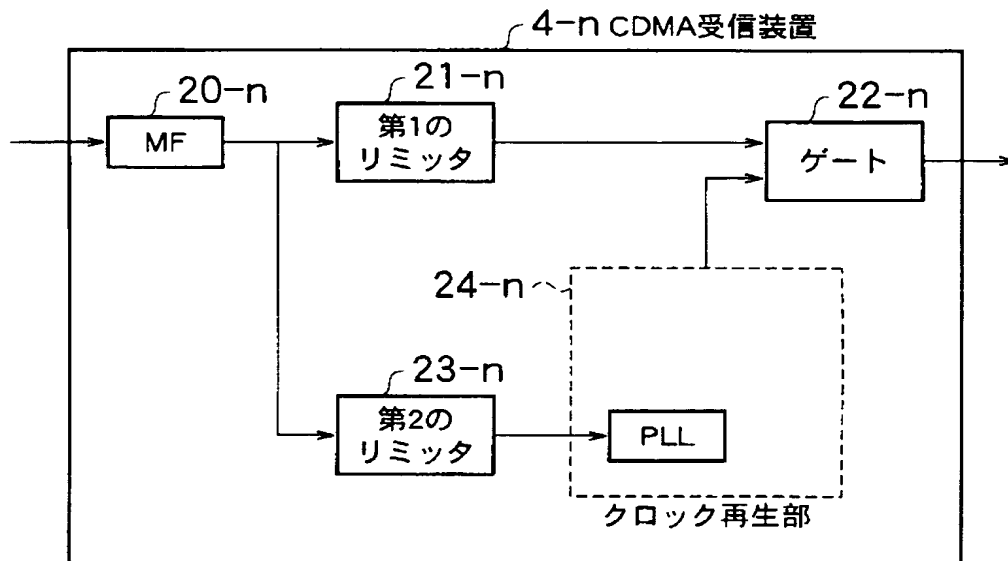
【書類名】

図面

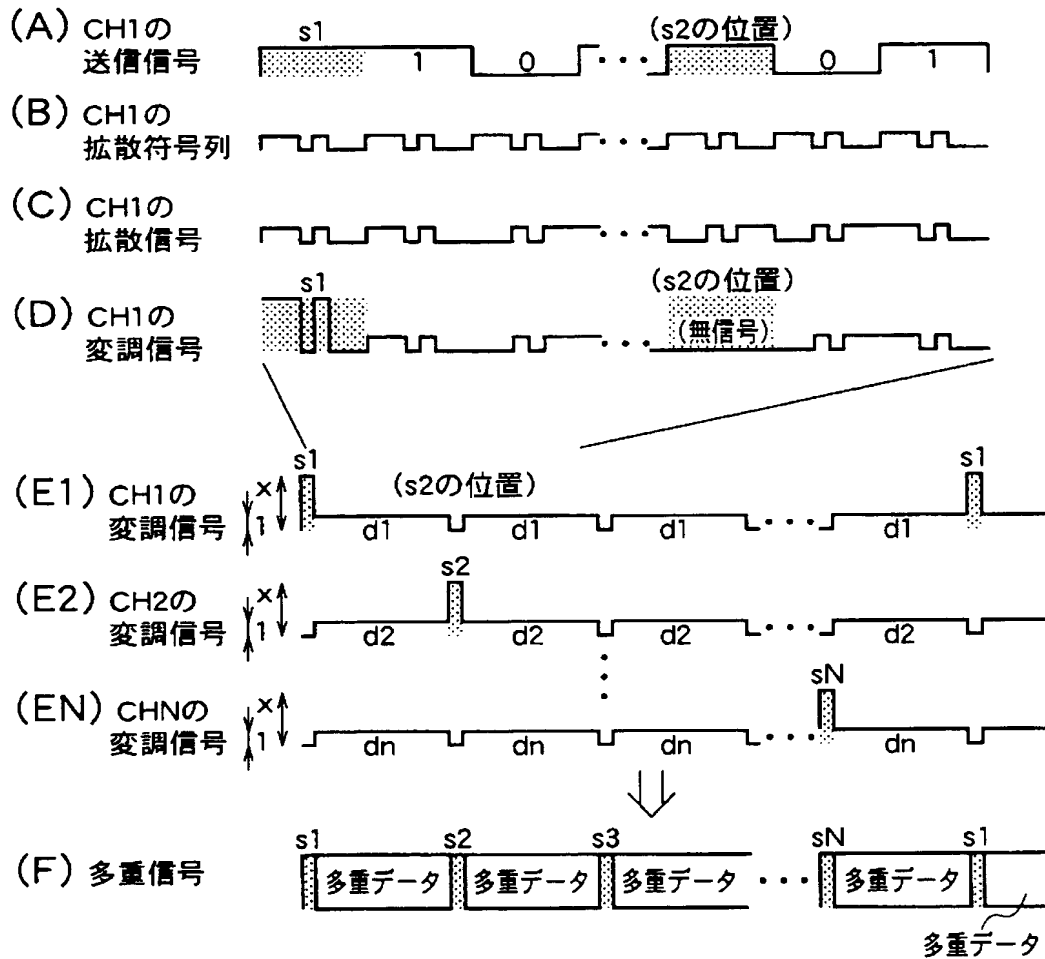
【図 1】



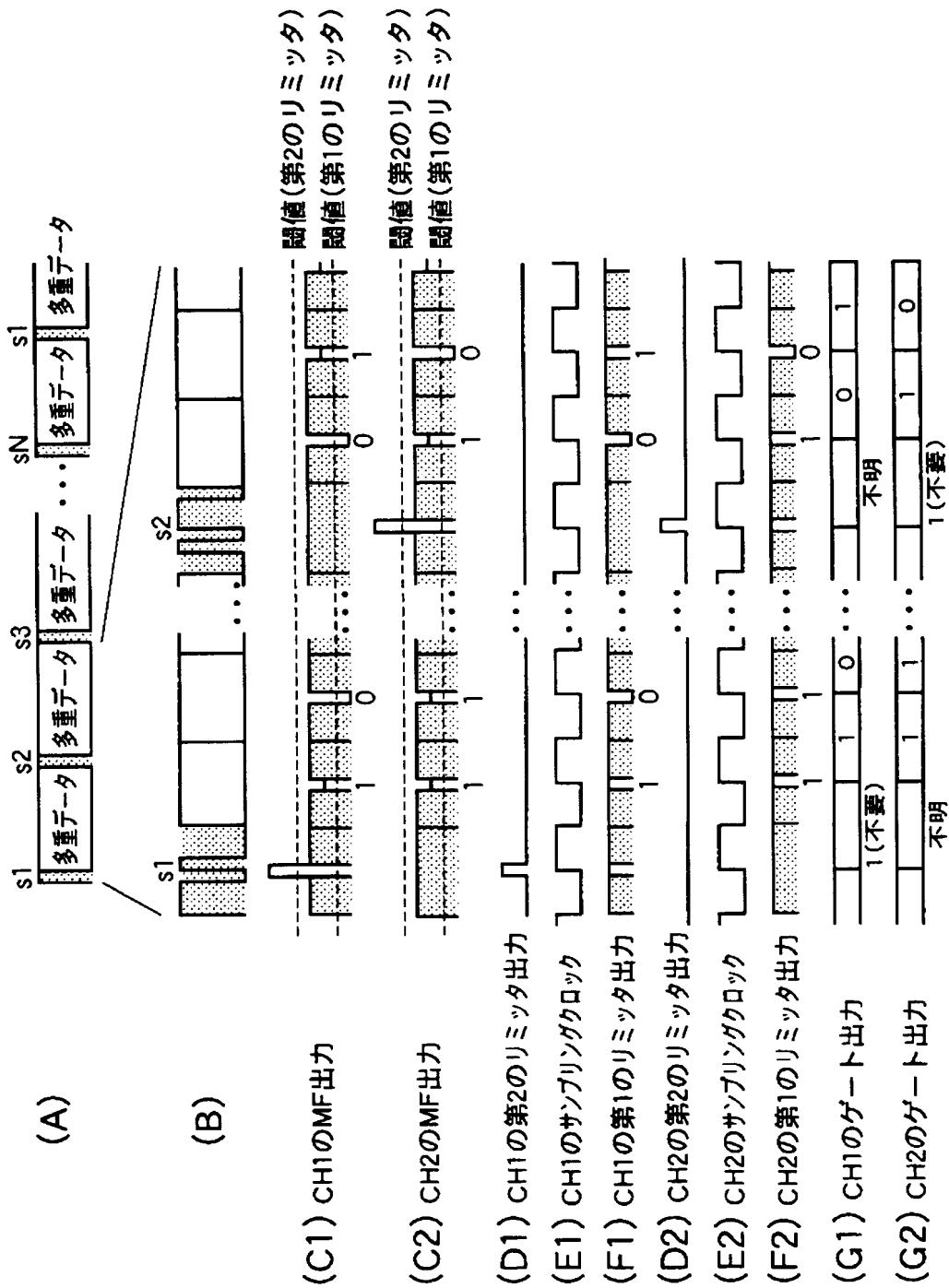
【図 2】



【図 3】

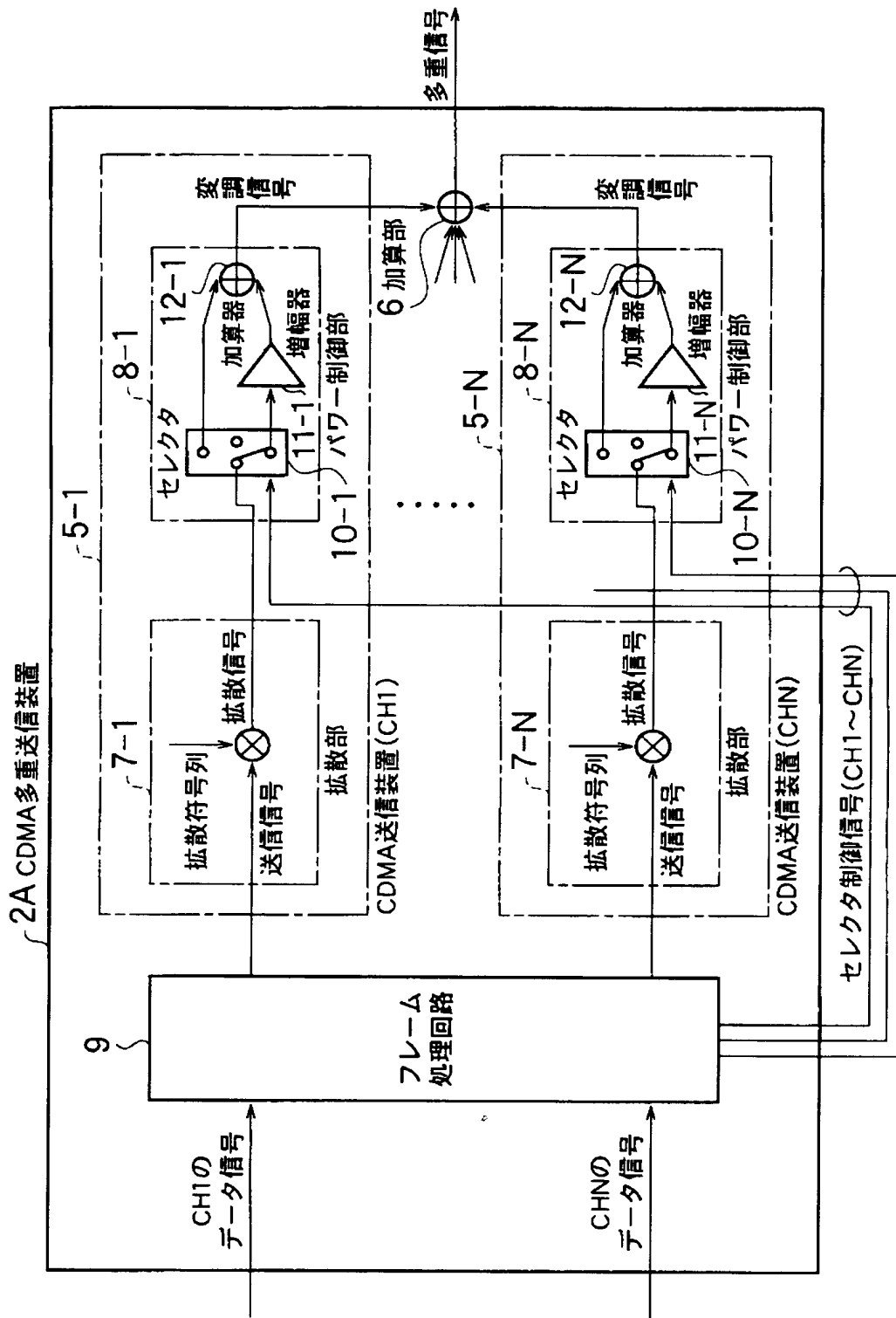


【図 4】

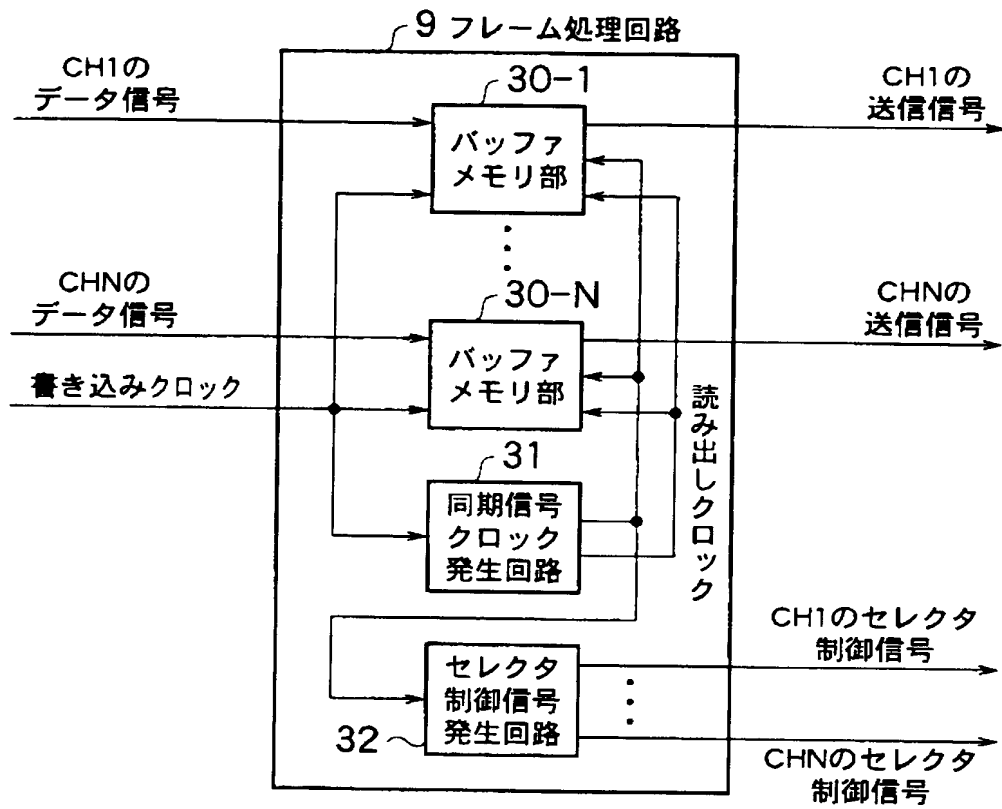




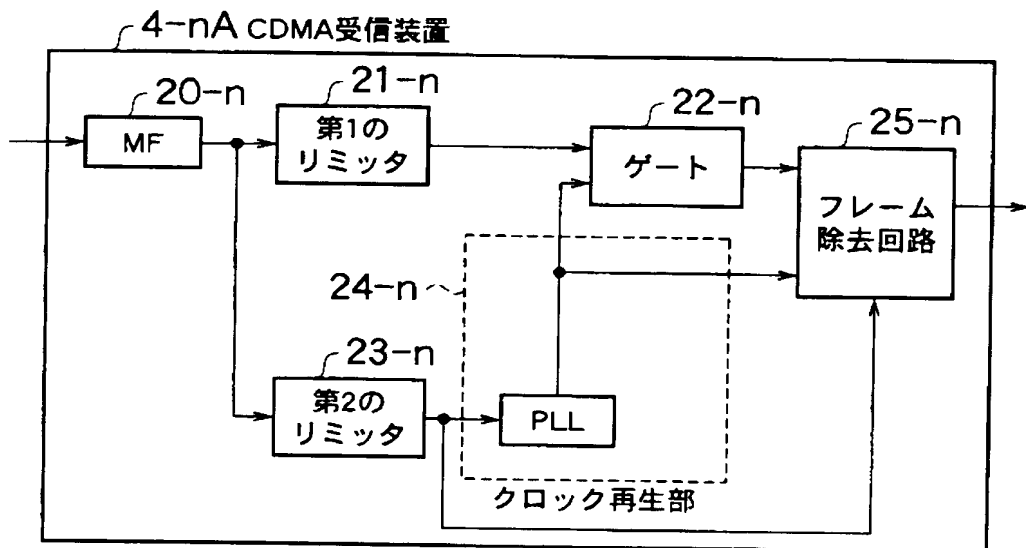
【図 5】



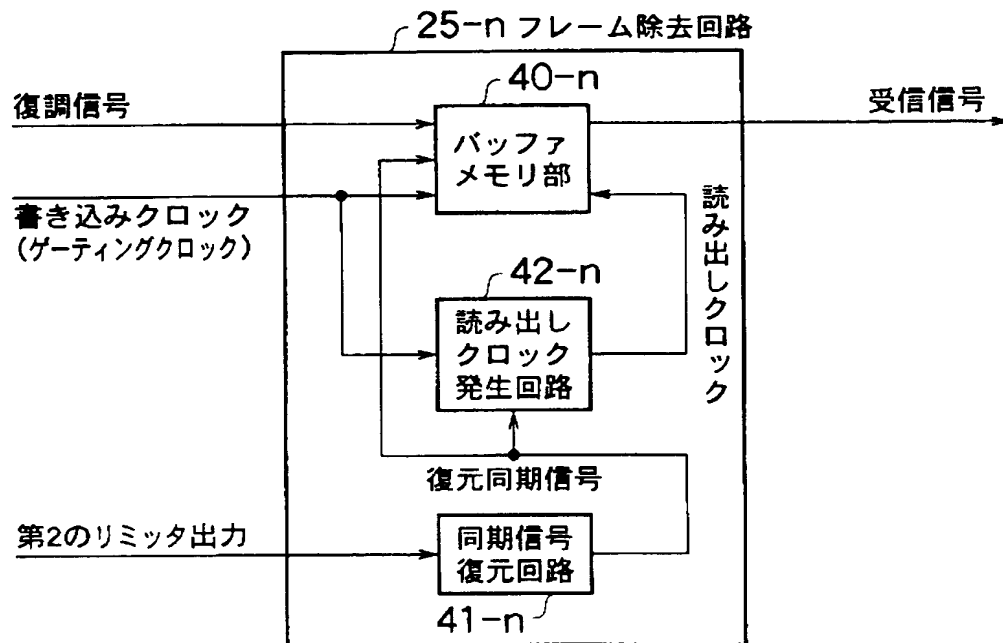
【図 6】



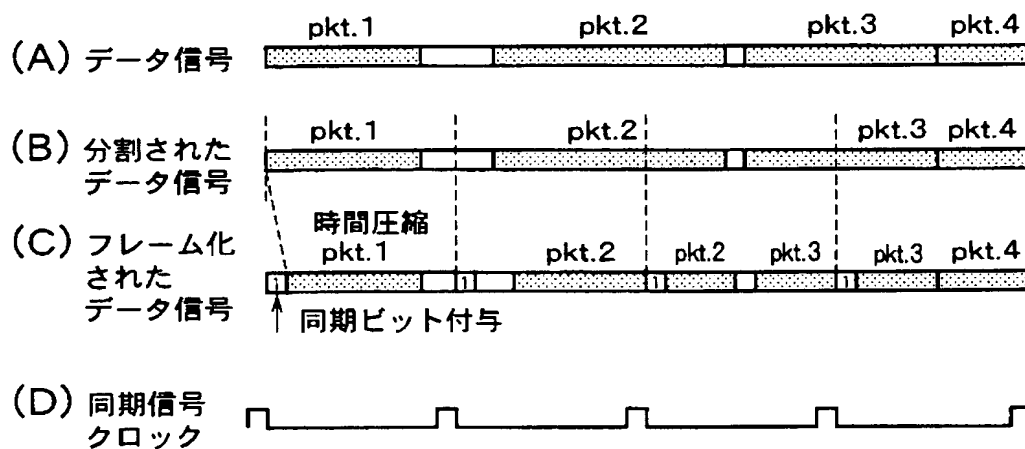
【図 7】

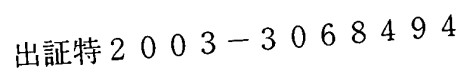
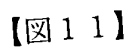


【図 8】

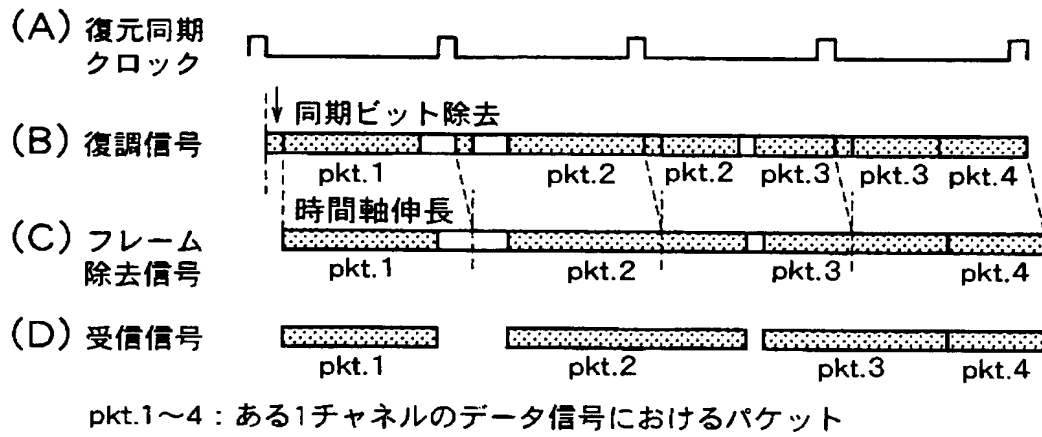


【図 9】

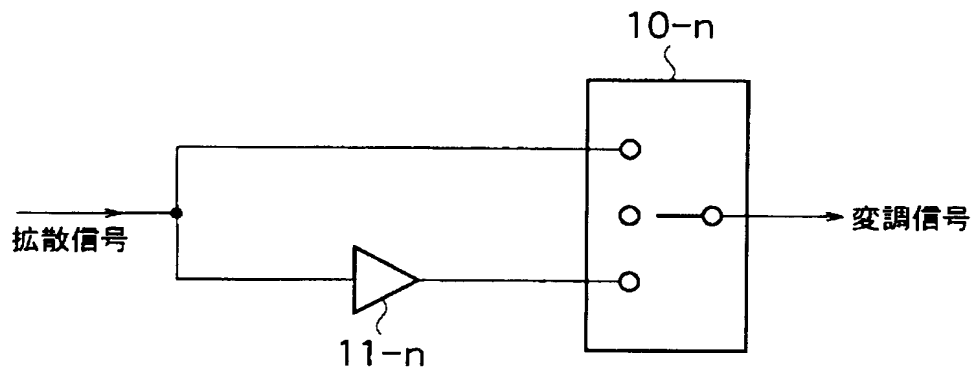




【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 受信側での同期検出構成が簡易な又は受信側での同期検出処理が簡単な、C D M A 送信装置、C D M A 受信装置、C D M A 多重送信装置及びC D M A 通信システムを提供する。

【解決手段】 各チャネルの送信側においては、拡散信号における自チャネルの同期用タイムスロットの期間の振幅を、他の期間の拡散信号の振幅より増大させて変調信号として出力する。受信側において、複数チャネルの変調信号が多重された多重信号と、自チャネルに割り当てられている拡散符号との相関を求めると、自チャネルの同期用タイムスロットの期間の振幅を増大させているので、相関信号に同期タイミングを明示する大きな値の部分が生じ、容易に同期タイミングを検出することができる。

【選択図】 図 1

特願 2 0 0 2 - 2 3 7 9 4 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社